

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-148691

(43)Date of publication of application : 07.06.1996

(51)Int.CI. H01L 29/786  
H01L 21/336

(21)Application number : 06-314150 (71)Applicant : SONY CORP

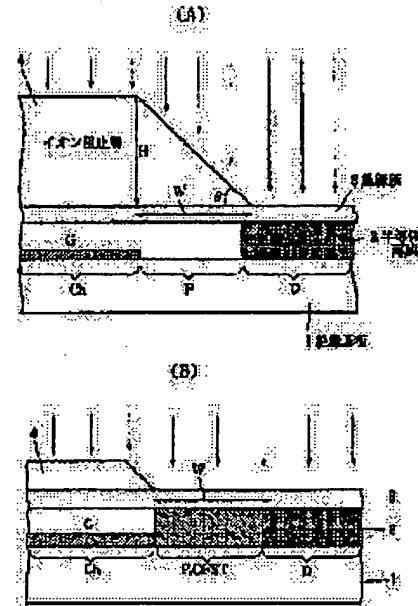
(22)Date of filing : 24.11.1994 (72)Inventor : SUZUKI NOBUAKI  
URAZONO TAKENOBU

## (54) MANUFACTURE OF THIN-FILM TRANSISTOR

### (57)Abstract:

**PURPOSE:** To form an offset gate structure of a thin-film transistor efficiently.

**CONSTITUTION:** A semiconductor thin film 2 is formed on an insulating substrate 1 and a channel region Ch is formed in a specified part of the semiconductor thin film 2. Then, an ion stopper layer 4 which has a tapered cross section is so formed by patterning that it may cover the channel region Ch and its edge section P. After that, impurity ions are implanted at high density into the semiconductor thin film 2 with the ion stopper layer 2 being used as a mask to form a source region and a drain region D on both sides of the channel region Ch. Nextly, the ion stopper layer 4 is etched to make the tapered shape of its cross section smaller and thereby expose the edge section P of the channel region. Finally, impurity ions are implanted at low density into the semiconductor thin film 2 with the reduced ion stopper layer 4 being used as a mask and thereby an offset region OFST is formed in the edge section P.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-148691

(43)公開日 平成8年(1996)6月7日

(51)Int.Cl.<sup>6</sup>

H 01 L 29/786  
21/336

識別記号

序内整理番号

F I

技術表示箇所

9056-4M  
9056-4M

H 01 L 29/78  
9056-4M

616 A  
617 A

審査請求 未請求 請求項の数4 FD (全7頁)

(21)出願番号

特願平6-314150

(22)出願日

平成6年(1994)11月24日

(71)出願人

000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者

鈴木 信明

東京都品川区北品川6丁目7番35号 ソニ

ー株式会社内

(72)発明者

浦園 文展

東京都品川区北品川6丁目7番35号 ソニ

ー株式会社内

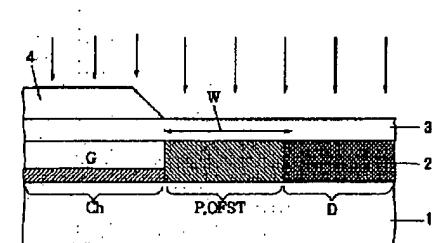
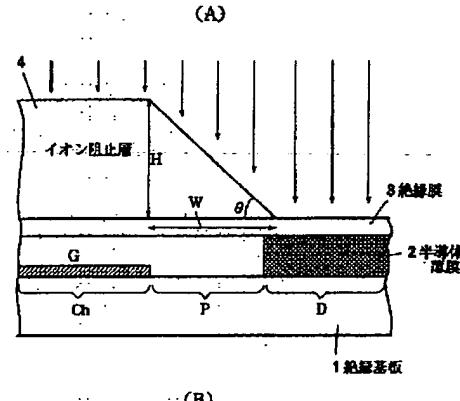
(74)代理人 弁理士 鈴木 晴敏

(54)【発明の名称】 薄膜トランジスタの製造方法

(57)【要約】

【目的】 薄膜トランジスタのオフセットゲート構造を効率良く形成する。

【構成】 絶縁基板1上に半導体薄膜2を形成して所定部位にチャネル領域Chを設定する。チャネル領域Ch及びその端縁部Pを被覆する様に、断面テーパ形状のイオン阻止層4をパタニング形成する。このイオン阻止層4をマスクとして不純物イオンを高濃度で半導体薄膜2に打ち込み、チャネル領域Chの両側にソース領域及びドレイン領域Dを形成する。この後イオン阻止層4をエッチングして断面テーパ形状を縮小化しチャネル領域の端縁部Pを露出する。最後にこの縮小化したイオン阻止層4をマスクとして不純物イオンを低濃度で半導体薄膜2に打ち込み、端縁部Pにオフセット領域OFS Tを形成する。



## 【特許請求の範囲】

【請求項1】 チャネル領域と、その両側に位置するソース領域及びドレイン領域と、チャネル領域／ソース領域間及びチャネル領域／ドレイン領域間に位置するオフセット領域と、絶縁膜を介してチャネル領域に整合するゲート電極とを備えた薄膜トランジスタの製造方法であって、  
絶縁基板上に半導体薄膜を形成して所定部位にチャネル領域を設定する形成工程と、

該チャネル領域及びその両端縁部を被覆する様に、断面テープ形状のイオン阻止層をパタニング形成する被覆工程と、

該イオン阻止層をマスクとして不純物イオンを高濃度で該半導体薄膜に打ち込み該チャネル領域の両側にソース領域及びドレイン領域を形成する第1注入工程と、

該イオン阻止層をエッチングして断面テープ形状を縮小し該チャネル領域の両端縁部を露出するエッチング工程と、

該縮小化したイオン阻止層をマスクとして不純物イオンを低濃度で該半導体薄膜に打ち込み該両端縁部にオフセット領域を形成する第2注入工程とを行なう事を特徴とする薄膜トランジスタの製造方法。

【請求項2】 前記被覆工程は、フォトレジストを成膜した後適当な条件で露光現像を行ない、断面テープ形状のイオン阻止層にパタニング加工する事を特徴とする請求項1記載の薄膜トランジスタの製造方法。

【請求項3】 前記エッチング工程は、反応性イオンエッチングにより該イオン阻止層の断面テープ形状を縮小化する事を特徴とする請求項1又は2記載の薄膜トランジスタの製造方法。

【請求項4】 前記形成工程に先立ってゲート電極を形成する工程と、前記形成工程の後該半導体薄膜に重ねて絶縁膜を形成する工程と、前記第2注入工程の後残されたイオン阻止層をマスクとして該絶縁膜をエッチング除去し該チャネル領域の上部のみに保護層として残す工程とを含む事を特徴とする請求項1記載の薄膜トランジスタの製造方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は薄膜トランジスタの製造方法に関する。例えば、ボトムゲート構造で且つオフセットゲート構造を有する電界効果型薄膜トランジスタの製造方法に関する。詳しくは、オフセットゲート構造の形成方法に関する。

## 【0002】

【従来の技術】 電界効果型の薄膜トランジスタは近年盛んに開発が進められており、例えばアクティブマトリクス型液晶表示装置の画素駆動用スイッチング素子や周辺回路の構成要素として応用されている。画素駆動用のスイッチング素子として用いる場合、非導通状態における

オフ電流（リーク電流）の低減化が重要であり、この目的で所謂オフセットゲート構造が採用されている。この構造の薄膜トランジスタはチャネル領域と、その両側に位置するソース領域及びドレイン領域と、チャネル領域／ソース領域間及びチャネル領域／ドレイン領域間に位置するオフセット領域と、絶縁膜を介してチャネル領域に整合するゲート電極とを備えている。チャネル領域の上方にゲート電極が位置する場合トップゲート構造となり、逆にチャネル領域の下方にゲート電極が位置する場合ボトムゲート構造となる。

【0003】 以下図6ないし図8を参照して、ボトムゲート構造で且つオフセットゲート構造を有する電界効果型薄膜トランジスタの製造方法の従来例を簡潔に説明する。図6の工程（A）で絶縁基板10の上に金属膜からなるゲート電極11をパタニング形成する。工程（B）でこのゲート電極11の表面に陽極酸化膜12を形成する。工程（C）でプラズマ化学気相成長（P-CVD）によりSiN<sub>x</sub>膜13、SiO<sub>2</sub>膜14、非晶質シリコン膜（a-Si膜）15を順に成膜する。さらに窒素雰囲気中400°C程度で加熱処理を行ない非晶質シリコン膜15の含有水素を脱離させる。工程（D）でSiO<sub>2</sub>等からなる絶縁膜16を成膜する。工程（E）に移り、レーザ等の光エネルギーhνを照射し、非晶質シリコン膜15を多結晶シリコン膜17に転換する。

【0004】 図7の工程（F）に移り、レジストを所定の形状にパタニングしてイオン阻止層18を形成する。工程（G）でイオン阻止層18を介し低濃度の不純物イオンを打ち込み、オフセット領域21を設ける。工程（H）に進み、使用済みのイオン阻止層18を剥離した後、再度レジストにて前より寸法の大きなイオン阻止層19を形成する。次の工程（I）でこのイオン阻止層19を介し高濃度の不純物イオンを打ち込みソース領域及びドレイン領域20を形成する。さらに、エキシマーレーザ等を照射し不純物の活性化を図る。

【0005】 次に図8の工程（J）に移り、使用済みのイオン阻止層19を剥離した後改めてレジストを塗布し所定の形状にパタニングしてマスク24とする。次の工程（K）でこのマスク24を介し絶縁膜16をエッチングして保護層とする。最後に工程（L）でソース領域及びドレイン領域20に重ねソース電極22とドレイン電極23を形成する。以上によりボトムゲート構造で且つオフセットゲート構造の電界効果型薄膜トランジスタが完成する。図示する様に、この薄膜トランジスタは保護層16の直下に位置するチャネル領域Chと、その両側に位置するソース領域及びドレイン領域20と、チャネル領域／ソース領域間及びチャネル領域／ドレイン領域間に位置するオフセット領域21と、ゲート絶縁膜（12、13、14）を介してチャネル領域Chに整合するゲート電極11とを備えている。

## 【0006】

【発明が解決しようとする課題】上述した薄膜トランジスタの製造方法では、オフセットゲート構造を形成する為不純物イオンの打ち込みを低濃度と高濃度の2回に分けて行なっている。なお、先の例では不純物イオンを低濃度で打ち込んだ後高濃度で打ち込んでいるが、この順は逆にしても差支えない。2回のイオン打ち込みでは、別々にレジストをパタニングしてイオン阻止層を形成している。従って、レジストのフォトリソグラフィ工程が2回必要になる。さらに、保護層の形成に必要なマスクのパタニングも加えると、合計3回のフォトリソグラフィ工程が必要になり、製造プロセスが複雑化していた。又、各フォトグラフィ工程におけるフォトマスクのアライメント精度が厳しく要求される。アライメント誤差が生じると、ソース領域、ドレイン領域、オフセット領域の幅寸法にはばつきが生じ薄膜トランジスタの電気特性変動をもたらす。しかしながら、3回のフォトリソグラフィを繰り返す為アライメント誤差を制御する事は極めて困難である。

#### 【0007】

【課題を解決するための手段】本発明は上述した従来の技術の課題を解決する事を目的とし、オフセットゲート構造の薄膜トランジスタを効率的に製造するものである。この薄膜トランジスタはチャネル領域と、その両側に位置するソース領域及びドレイン領域と、チャネル領域／ソース領域間及びチャネル領域／ドレイン領域間に位置するオフセット領域と、絶縁膜を介してチャネル領域に整合するゲート電極とを備えている。本発明はかかる構成を有する薄膜トランジスタを以下の工程により製造するものである。先ず形成工程を行ない、絶縁基板上に半導体薄膜を形成して所定部位にチャネル領域を設定する。次に被覆工程を行ない、該チャネル領域及びその両端縁部を被覆する様に断面テーパ形状のイオン阻止層をパタニング形成する。さらに第1注入工程を行ない、該イオン阻止層をマスクとして不純物イオンを高濃度で該半導体薄膜に打ち込み、該チャネル領域の両側にソース領域及びドレイン領域を形成する。続いてエッチング工程を行ない、該イオン阻止層をエッティングして断面テーパ形状を縮小化し該チャネル領域の両端縁部を露出する。最後に第2注入工程を行ない、該縮小化したイオン阻止層をマスクとして不純物イオンを低濃度で該半導体薄膜に打ち込み該両端縁部にオフセット領域を形成する。

【0008】具体的には、前記被覆工程ではフォトレジストを成膜した後適当な条件で露光現像を行ない、断面テーパ形状のイオン阻止層にパタニング加工している。又前記エッチング工程では、反応性イオンエッティングにより該イオン阻止層の断面テーパ形状を相似的に縮小化している。ボトムゲート型の薄膜トランジスタを製造する場合には、前記形成工程に先立ってゲート電極を形成する工程と、前記形成工程の後該半導体薄膜に重ねて絶

縁膜を形成する工程を行なう。さらに、前記第2注入工程の後残されたイオン阻止層をマスクとして該絶縁膜をエッティング除去し該チャネル領域の上部のみに保護層として残す工程を行なう。

#### 【0009】

【作用】本発明によれば、フォトリソグラフィによりレジストを断面テーパ形状に加工してイオン阻止層を設けている。これを介して高濃度の不純物イオンを打ち込みソース領域及びドレイン領域を形成する。その後、反応性イオンエッティング等によりこのイオン阻止層を相似的に縮小化し、次いで不純物イオンを低濃度で打ち込んでオフセット領域を形成している。従って、オフセットゲート構造形成の為のフォトリソグラフィが1回で済み工程合理化に繋る。又、縮小化したイオン阻止層をそのままマスクとしてチャネル領域上の保護層をパタニング加工でき、さらにフォトリソグラフィの回数を削減可能である。

#### 【0010】

【実施例】以下図面を参照して本発明の好適な実施例を詳細に説明する。図1は本発明にかかる薄膜トランジスタ製造方法の基本的な工程を表わしたものである。

(A) に示す様に、先ず絶縁基板1上に半導体薄膜2を形成して、所定部位にチャネル領域Chを設定する。半導体薄膜2は多結晶シリコンや単結晶シリコン等からなり、非晶質シリコンに比べると移動度が高い。その分リード電流の抑制が必要であり、オフセットゲート構造が採用される。この例はボトムゲート構造であり、絶縁基板1の上には予めゲート電極Gがパタニング形成されている。従って、このゲート電極Gの上に位置する半導体薄膜2の部分がチャネル領域Chとなる。次に、半導体薄膜2をSiO<sub>2</sub>等の絶縁膜3で被覆する。その上に、チャネル領域Ch及びその端縁部Pを被覆する様に、断面テーパ形状のイオン阻止層4をパタニング形成する。なお(A)はチャネル領域Chの一方の端縁部Pのみを示しており、他方の端縁部は図示を省略している。イオン阻止層4は、例えばフォトレジストを成膜した後適当な条件で露光現像を行なう事により形成できる。例えばポジタイプのフォトレジストを塗布した後フォトマスクを介して紫外線を照射する。紫外線の照射を受けた部分は現像処理で除去される。この際、露光条件を適切に設定すると照射領域と非照射領域の境界でフォトレジストが若干残される為所望の断面テーパ形状が得られる。図示の例ではイオン阻止層4の高さH(厚み)は1000nm程度に設定され、テーパ角θは45°に設定されている。従ってイオン阻止層4のテーパ部の幅Wは1000nm程度になる。本例ではこのテーパ部が丁度チャネル領域の端縁部Pと整合している。

【0011】次に、イオン阻止層4をマスクとして不純物イオンを高濃度で半導体薄膜2に打ち込みチャネル領域Chの片側にドレイン領域Dを形成する。勿論、チャ

ネル領域C h の他方側にも同時にソース領域が形成される。イオン阻止層4を構成するフォトレジストの材料組成により若干の差はあるが、約100nmの膜厚で、加速エネルギー15keV、ドーズ量 $10^{15}/\text{cm}^2$ の不純物イオンP+もしくはB+を十分阻止可能である。従って、(A)に設定した条件では端縁部Pを約900nmの幅に渡って不純物イオンから有効に遮蔽可能である。換言するとドレイン領域Dの誤差範囲は高々100nm程度に過ぎない。イオン阻止層4のテーパ角θをさらに小さくすれば遮蔽される端縁部Pの幅をさらに拡げる事が可能である。このテーパ角θは前述した様に露光現像等のフォトリソグラフィ条件を適宜設定する事により制御可能である。

【0012】次に(B)に示す様に、イオン阻止層4をエッティングして断面テーパ形状を縮小化しチャネル領域の端縁部Pを露出する。この露出幅はWで表わされる。例えば反応性イオンエッティング(RIE)等の異方性エッティングを行なう事によりイオン阻止層4の断面テーパ形状を相似的に縮小可能である。本例では、反応ガスO<sub>2</sub>の流量を300sccmに設定し、圧力20Pa、出力1.5kWの条件でフォトレジストをRIE処理した。これにより、(A)に示したイオン阻止層4は(B)の様に縮小化される。この後縮小化したイオン阻止層4をマスクとして不純物イオンを低濃度で半導体薄膜2に打ち込み、露出した端縁部Pにオフセット領域OFSTを形成する。なお、この後残されたイオン阻止層4をマスクとして絶縁膜3をエッティング除去すると、チャネル領域C hの上部のみに保護層として残す事ができる。

【0013】次に図2ないし図4を参照して、本発明にかかる薄膜トランジスタ製造方法の具体例を詳細に説明する。本例では低温プロセスによりボトムゲート構造の薄膜トランジスタを集積形成している。先ず図2の工程(A)で、ガラス等からなる絶縁基板10の上にゲート電極11を形成する。ゲート電極材料としてはMo, Ta, Al等の金属あるいはこれらの合金を用いる事ができる。次に工程(B)で、ゲート電極11を陽極酸化し、陽極酸化膜12で被覆する。続いて工程(C)に移り、P-CVDによりSiN<sub>x</sub>膜13、SiO<sub>2</sub>膜14、非晶質シリコン膜15を連続成膜する。さらに窒素雰囲気中400℃程度で加熱処理を行ない非晶質シリコン膜15の含有水素を脱離させる。SiN<sub>x</sub>膜13とSiO<sub>2</sub>膜14はゲート絶縁膜として機能する。特に、SiN<sub>x</sub>膜13はNa+等可動イオンのゲッターとして機能する。次に工程(D)で非晶質シリコン膜15の上にSiO<sub>2</sub>等の絶縁膜16を成膜する。工程(E)に進み、光エネルギーhvを照射してアニールを行ない、非晶質シリコン膜15を多結晶シリコン膜17に転換する。例えば光エネルギーhvとしてレーザーパルスをワンショットで照射し非晶質シリコン膜15の一括加熱処理を行なう。これによ非晶質シリコン膜15は一旦溶融し

た後結晶化し比較的大粒径の多結晶シリコン膜17に転換される。レーザーパルスとしては例えばエキシマレーザ光を用いる事ができる。エキシマレーザ光は強力なパルス紫外光である為、非晶質シリコン膜15の表面層で吸収され、その部分の温度を上昇させるが、絶縁基板10まで加熱する事はない。絶縁基板10に例えば厚み30nmの非晶質シリコン膜15をP-CVDで成膜した場合、XeClエキシマレーザ光を照射した時の溶融閾値エネルギーは130mJ/cm<sup>2</sup>程度である。膜厚全体が溶融するには例えば220mJ/cm<sup>2</sup>程度のエネルギーが必要である。

【0014】次に図3の工程(F)に進み、フォトレジストを塗布し露光条件と現像条件を適当に選ぶ事で所望の断面テーパ形状にパタニング加工する。このフォトリソグラフィ工程により断面テーパ形状のイオン阻止層18がゲート電極11の直上に形成される。次に工程(G)で、所定の条件により高濃度(例えば $10^{14}\sim 10^{16}/\text{cm}^2$ 程度のドーズ量)で不純物イオンの打ち込みを行なう。これにより多結晶シリコン膜17にソース領域及びドレイン領域20が形成される。次いで工程(H)に移り、先のイオン阻止層18を異方性エッティングで処理し、その寸法を縮小して次のイオン阻止層19とする。その後工程(I)で、今度は低濃度で不純物イオンの打ち込みを行なう。この結果、多結晶シリコン膜17にオフセット領域21が形成される。以上により、ソース領域及びドレイン領域20とオフセット領域21が1回のフォトリソグラフィにより精度良く形成される。

【0015】次に図4の工程(J)に移り、このイオン阻止層19をそのままマスクとして絶縁膜16をエッティングし、チャネル領域の保護層(エッティングストップ)を形成する。次の工程(K)で、ソース領域及びドレイン領域20を活性化する為再びエキシマレーザ光を照射し光アニールを行なう。最後に工程(L)でソース及びドレイン領域20を島状にパタニングした後、ソース電極22及びドレイン電極23を形成して薄膜トランジスタが完成する。

【0016】以上の様に、従来に比べフォトリソグラフィは2工程分減る。又、高濃度イオン注入時の阻止層と低濃度イオン注入時の阻止層とがフォトリソグラフィの工程でのアライメント精度に左右されない為、薄膜トランジスタの寄生容量のばらつきを低減できる。なお、最初のイオン阻止層18を形成する際、ゲート電極11をマスクとした裏面露光方式を採用する事により、さらにフォトリソグラフィの回数を低減できる事はいうまでもない。

【0017】最後に、図5を参照して本発明により製造された薄膜トランジスタをスイッチング素子として組み込んだアクティブマトリクス型液晶表示装置の一例を説明する。図示する様に、本表示装置は一方のガラス基板

101と他方のガラス基板102と両者の間に保持された液晶103を備えたパネル構造を有している。一方のガラス基板101には画素アレイ部104と駆動回路部とが集積形成されている。駆動回路部は垂直駆動回路105と水平駆動回路106とに分かれている。画素アレイ部104には互いに直交してゲートライン107と信号ライン108が形成されている。両ライン107、108の交差部には画素スイッチング用の薄膜トランジスタ109が形成されている。この薄膜トランジスタ109は本発明に従ってオフセットゲート構造を備えている。これと対応して画素電極110も形成されている。このガラス基板101の周辺部上端には外部接続用の端子111が形成されている。この端子111は配線112を介して垂直駆動回路105及び水平駆動回路106に接続している。他方のガラス基板102の内表面には図示しないが対向電極が形成されている。

## 【0018】

【発明の効果】以上説明した様に、本発明によれば、イオン阻止層を断面テーパ形状に加工しこれを介して高濃度の不純物イオンを打ち込んでソース領域及びドレイン領域を形成する。その後このイオン阻止層をエッチングして縮小化し、次いで低濃度の不純物イオンを打ち込む事によりオフセット領域を形成している。オフセット領域の寸法はイオン阻止層のテーパ角等により自由に制御できる。又、ソース領域及びドレイン領域やオフセット領域の寸法を精度良く制御できるので、薄膜トランジス

タが有する寄生容量のばらつきを低減化できる。さらにオフセットゲート構造の形成に必要とされるフォトリソグラフィ工程の回数を削減でき生産性が高くなるという効果がある。

## 【図面の簡単な説明】

【図1】本発明にかかる薄膜トランジスタ製造方法の基本説明図である。

【図2】本発明にかかる薄膜トランジスタ製造方法の具体例を示す工程図である。

【図3】同じく具体例を示す工程図である。

【図4】同じく具体例を示す製造工程図である。

【図5】本発明に従って製造された薄膜トランジスタをスイッチング素子として用いたアクティブマトリクス型液晶表示装置の一例を示す斜視図である。

【図6】従来の薄膜トランジスタ製造方法の一例を示す工程図である。

【図7】同じく従来の薄膜トランジスタ製造方法の一例を示す工程図である。

【図8】同じく従来の薄膜トランジスタ製造方法の一例を示す工程図である。

## 【符号の説明】

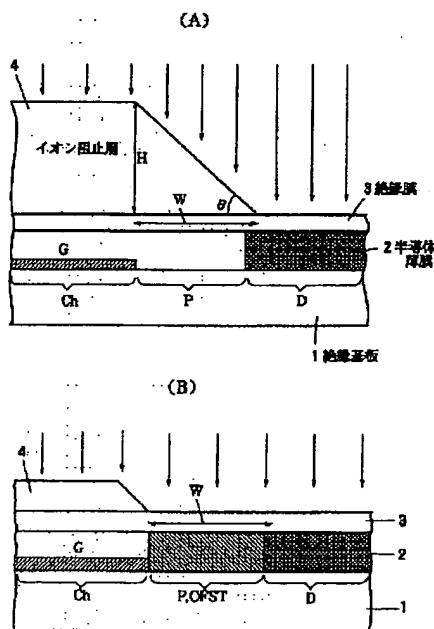
1 絶縁基板

2 半導体薄膜

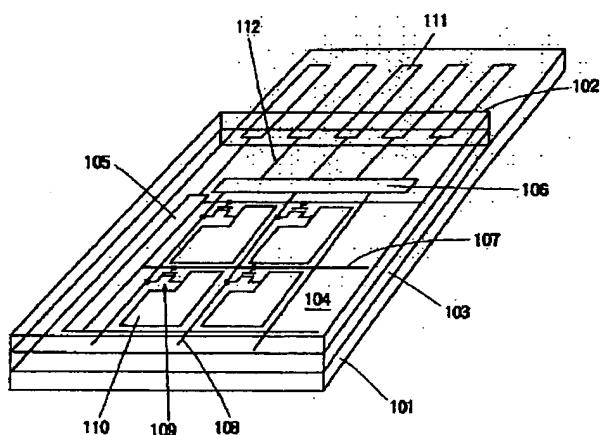
3 絶縁膜

4 イオン阻止層

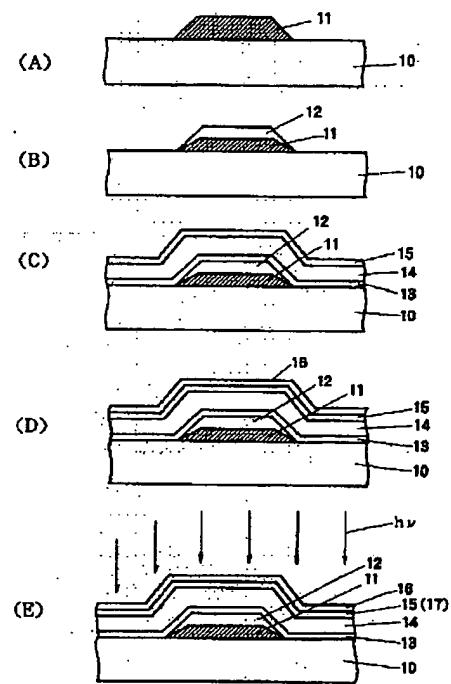
【図1】



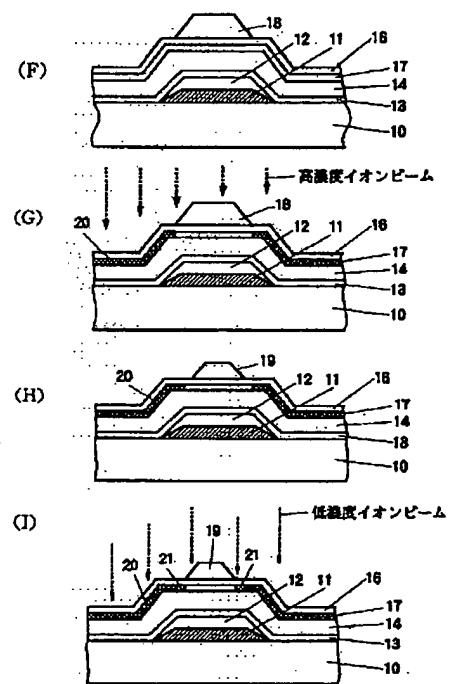
【図5】



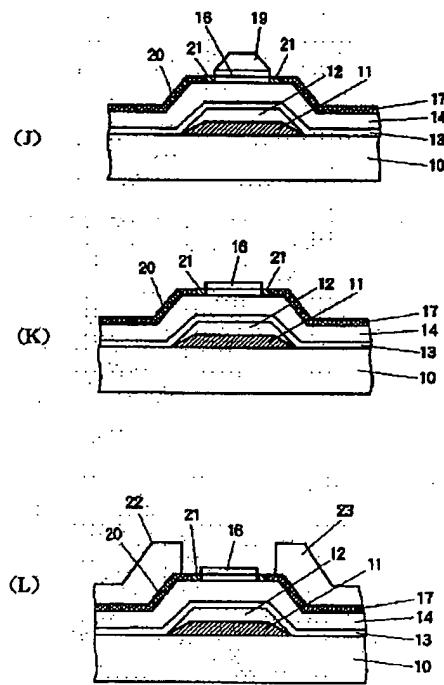
【図2】



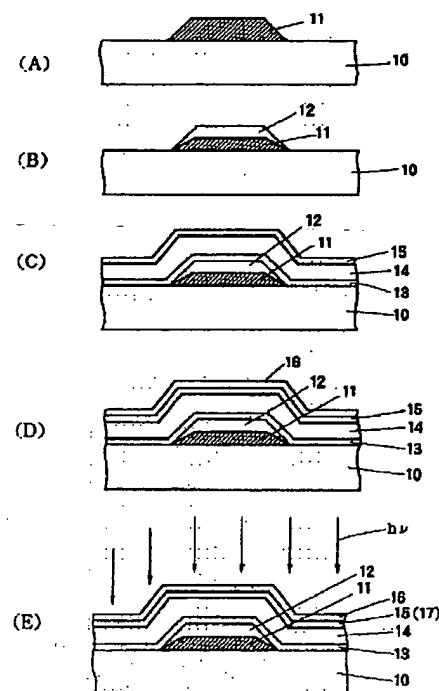
【図3】



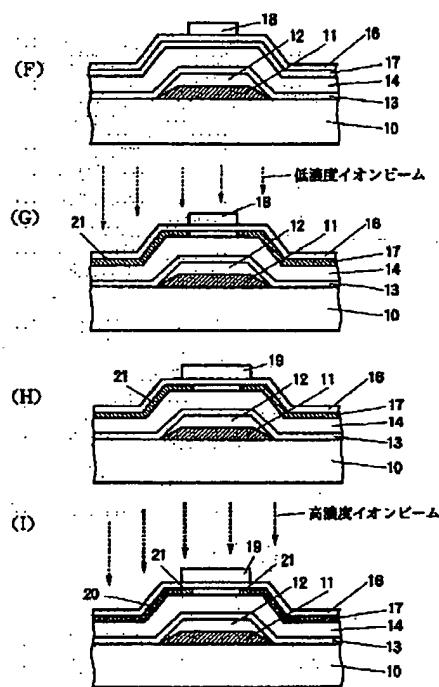
【図4】



【図6】



【図7】



【図8】

